

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G09G 3/22

(45) 공고일자 2004년05월03일
(11) 등록번호 10-0430085
(24) 등록일자 2004년04월21일

(21) 출원번호 10-2001-0026619	(65) 공개번호 10-2002-0087692
(22) 출원일자 2001년05월16일	(43) 공개일자 2002년11월23일

(73) 특허권자 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 문성학
경기도 용인시 수지읍 풍덕천리 1112 현대성우아파트 804동 1104호

(74) 대리인 김영호

심사관 : 천대식

(54) 평판 디스플레이 패널 및 그 구동방법

요약

본 발명은 셀의 균일성을 향상시킬 수 있도록 한 평판 디스플레이 패널에 관한 것이다. 본 발명의 평판 디스플레이 패널의 구동방법은 다수의 스캔전극에 순차적으로 스캔펄스가 공급되는 단계와, 스캔펄스에 동기되어 다수의 데이터전극에 데이터펄스가 공급되는 단계와, 스캔펄스 및 데이터펄스가 공급된 셀에 충전된 전하를 제거하기 위하여 다수의 스캔전극에 다수의 리셋펄스가 공급되는 단계를 포함하며, 다수의 리셋펄스는 다수의 스캔전극 모두에 스캔펄스가 공급된 후 공급된다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 텁형 전계 방출 표시소자를 나타내는 사시도.
도 2는 도 1에 도시된 텁형 전계 방출 표시소자를 나타내는 단면도.
도 3은 종래의 평면형 전계 방출 표시소자를 나타내는 단면도.
도 4는 도 1 및 도 3에 도시된 전계 방출 표시소자의 구동방법을 나타내는 파형도.
도 5는 도 1 및 도 3에 도시된 전계 방출 표시소자의 화소셀의 배치를 나타내는 도면.
도 6은 본 발명의 실시예에 의한 평판 디스플레이 패널의 구동방법을 나타내는 파형도.
도 7은 본 발명의 다른 실시예에 의한 평판 디스플레이 패널의 구동방법을 나타내는 파형도.
도 8은 도 6 및 도 7에 도시된 구동파형을 생성하기 위한 구동회로들을 나타내는 블록도.
도 9는 도 8에 도시된 스캔 드라이브 IC에 포함되어 있는 다수의 스위칭소자들을 나타내는 회로도.
도 10은 도 8에 도시된 구동회로들의 구동파형 생성과정을 나타내기 위한 파형도.
<도면의 주요 부분에 대한 부호의 설명>
2,42 : 상부 유리기판 4,44 : 애노드 전극

6,46 : 형광체 8,48 : 하부 유리기판
 10 : 캐소드 전극 12 : 저항층
 14 : 게이트 절연층 16 : 게이트 전극
 22 : 에미터 30 : 전자빔
 32,56 : 전계 방출 어레이 40 : 스페이서
 50 : 스캔전극 52 : 절연층
 54 : 데이터전극 60 : 리셋 구동부
 62 : 타이밍 제어부 64,68 : 버퍼
 66 : 포토 커플러 70 : 스캔 드라이브 IC
 72,74 : 리셋 드라이브 IC 76,78,82,84 : 스위칭소자
 80 : 스캔 구동부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이 패널 및 그 구동방법에 관한 것으로 특히, 셀의 균일성을 향상시킬 수 있도록 한 평판 디스플레이 패널 및 그 구동방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube : CRT)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한, 평판 표시장치에는 액정 표시장치(Liquid Crystal Display : 이하 'LCD'라 함), 전계 방출 표시장치(Field Emission Display : 이하 'CRT'라 함) 및 플라즈마 표시장치(Plasma Display Panel), 일렉트로 루미네센스(Electro-Luminescence : 이하 'EL'이라 함) 등이 있다. 표시품질을 개선하기 위하여 평판 표시장치의 휘도, 콘트라스트 및 색순도를 높이기 위한 연구개발이 활발히 진행되고 있다.

이중 FED는 첨예한 음극(에미터)에 고전계를 집중해 양자역학적인 터널(Tunnel) 효과에 의해 전자를 방출시키는 텁형 FED와, 소정 면적을 가지는 금속에 고전계를 집중해 양자역학적인 터널 효과에 의해 전자를 방출시키는 평편형(Metal Insulator Metal : MIN) FED로 나뉘어진다.

도 1 및 도 2는 종래의 텁형 전계 방출 표시장치를 나타내는 도면이다.

도 1 및 도 2를 참조하면, 애노드전극(4) 및 형광체(6)가 적층된 상부 유리기판(2)과, 하부 유리기판(8) 상에 형성되는 전계 방출 어레이(32)를 구비한 FED가 도시되어 있다. 전계 방출 어레이(32)는 하부 유리기판(8) 상에 형성되는 캐소드전극(10) 및 저항층(12)과, 저항층(12)상에 형성되는 게이트 절연층(14) 및 에미터(22)와, 게이트 절연층(14) 상에 형성되는 게이트 전극(16)을 구비한다.

캐소드 전극(10)은 에미터(22)에 전류를 공급하게 되며, 저항층(12)은 캐소드 전극(10)으로부터 에미터(22) 쪽으로 인가되는 파전류를 제한하여 에미터(22)에 균일한 전류를 공급하는 역할을 하게 된다.

게이트 절연층(14)은 캐소드 전극(10)과 게이트 전극(16) 사이를 절연하게 된다. 게이트 전극(16)은 전자를 인출시키기 위한 인출전극으로 이용된다. 상부 유리기판(2)과 하부 유리기판(8) 사이에는 스페이서(40)가 설치된다.

스페이서(40)는 상부 유리기판(2)과 하부 유리기판(8) 사이의 고전공 상태를 유지할 수 있도록 상부 유리기판(2)과 하부 유리기판(8)을 지지한다.

화상을 표시하기 위하여, 캐소드 전극(10)에 부극성(-)의 캐소드전압이 인가되고 애노드 전극(4)에 정극성(+)의 게이트 전압이 인가된다. 그리고 게이트전극(16)에는 정극성(+)의 게이트 전압이 인가된다. 그러면, 에미터(22)로부터 방출된 전자빔(30)이 적색·녹색·청색의 형광체(6)에 충돌하여 형광체(6)를 여기시키게 된다. 이때, 형광체(6)에 따라 적색·녹색·청색 중 어느 한 색의 가시광이 발광된다.

이와 같은 텁형 FED는 전자 방출에 이용되는 에미터의 특성에 따라서 전자의 방출량이 결정된다. 따라서, 하나의 FED에 포함되는 모든 에미터(22)를 균일하게 제작해야 한다. 하지만, 현재의 제조공정으로는 하나의 FED에 포함되는 모든 에미터(22)가 균일한 특성을 갖도록 제작하기 곤란하다. 아울러, 에미터(22)를 제작하기 위해 많은 공정시간이 소모되는 단점이 있다.

또한, 텁형 FED는 첨예한 에미터(22)에서 전자가 방출되기 때문에 캐소드 전극(10) 및 게이트전극(16)에 수십 내지 백 볼트 사이의 전압이 인가되어야 된다. 따라서, 캐소드전극(10) 및 게이트전극(16)에 인가되는 전압에 의해 많은 소비전력이 소모된다.

도 3은 종래의 평면형 전계 방출 표시장치의 화소셀을 나타내는 도면이다.

도 3을 참조하면, 종래의 평면형 전계 방출 표시소자의 화소셀은 애노드전극(44) 및 형광체(46)가 적층된 상부기판(42)과, 하부기판(48) 상에 형성되는 전계 방출 어레이(56)를 구비한다.

전계 방출 어레이(56)는 하부기판(48) 상에 형성되는 스캔전극(50), 절연층(52) 및 데이터전극(54)을 구비한다.

화상을 표시하기 위하여, 스캔전극(50)에 부극성(-)의 스캔펄스가 인가되고 데이터전극(54)에 정극성(+)의 데이터펄스가 인가된다. 그리고, 애노드전극(44)에 정극성(+)의 애노드전압이 인가된다. 그러면, 전자가 스캔전극(50)으로부터 데이터전극(54)으로 절연층(52)을 터널링(Tunneling)하여 애노드전극(44) 쪽으로 가속된다.

이 전자들은 적색, 녹색 및 청색의 형광체(46)에 충돌하여 형광체(46)를 여기시키게 된다. 이때, 형광체(46)에 따라 적색, 녹색 및 청색 중 어느 한 색의 가시광이 발생된다.

이와 같은 평면형 FED는 스캔전극(50) 및 데이터전극(54)이 소정면적을 가지고 대향되게 설치되기 때문에 텁형 FED에 비해 저전압 구동이 가능하다. 즉, 평면형 FED의 스캔전극(50) 및 데이터전극(54)에는 수 내지 10V 사이의 전압이 인가된다. 또한, 평면형 FED는 전자를 방출하는 스캔전극(50) 및 데이터전극(54)이 소정면적을 가지기 때문에 텁형 FED에 비해 간단한 제조 공정으로 스캔전극(50) 및 데이터전극(54)을 제조할 수 있다.

도 4는 도 1 및 도 2에 도시된 전계 방출 표시장치에 공급되는 구동파형을 나타내는 파형도이다.

도 4를 참조하면, 종래의 FED의 스캔전극들(S)에는 부극성의 스캔펄스(SP)가 순차적으로 공급되고 데이터전극들(D)에는 부극성의 스캔펄스(SP)에 동기되는 정극성의 데이터펄스(DP)가 공급된다. 스캔펄스(SP) 및 데이터펄스(DP)가 공급된 화소셀에서는 스캔펄스(SP) 및 데이터펄스(DP)의 전압차에 의해 전자가 방출된다.

예를 들어, 도 5와 같이 제 1 스캔전극(S1)에 -5V의 스캔펄스(SP)가 인가되고, 데이터전극(D)에 5V의 데이터펄스(DP)가 인가되면 제 1 스캔전극(S1)에 형성되어 있는 제 1 화소셀들(P1)에서 10V의 전압차가 발생된다. 따라서, 데이터펄스(DP)가 공급된 제 1 화소셀들(P1)에서 전자가 방출된다.

이때, 데이터펄스(DP)의 폭 및/또는 진폭은 계조에 따라 상이하게 설정된다. 예를 들어, 높은 계조를 표현할 때 데이터펄스(DP)의 폭 및/또는 진폭은 넓거나 높게 설정되고, 낮은 계조를 표현할 때 데이터펄스(DP)의 폭 및/또는 진폭은 좁거나 낮게 설정된다.

한편, 제 2 내지 제 m 스캔전극(S2 내지 Sm)에 형성되어 있는 제 2 내지 제 m 화소셀들(P2 내지 Pm)에서는 5V, 즉 데이터펄스(DP)만이 인가되기 때문에 전자가 방출되지 않는다.

이후, 이와 같은 과정을 반복하여 제 m 스캔전극(Sm)까지 순차적으로 스캔펄스(SP) 및 데이터펄스(DP)를 인가하여 제 1 내지 제 m 화소셀(P1 내지 Pm)을 구동하여 화상을 표시한다. 화상이 표시된 후 제 1 내지 제 m 스캔전극(S1 내지 Sm)에는 정극성의 리셋펄스(RP)가 인가된다. 제 1 내지 제 m 스캔전극(S1 내지 Sm)에 리셋펄스(RP)가 인가되면 제 1 내지 제 m 화소셀(P1 내지 Pm)에 충전된 전하들이 제거된다.

하지만, 이와 같은 종래의 FED에서는 제 1 스캔전극이 구동될 때 제 2 내지 제 m 스캔전극에도 데이터펄스가 인가된다. 데이터펄스를 공급받은 제 2 내지 제 m 스캔전극에는 소정의 전압이 인가되고, 이 소정의 전압에 의해 화소셀들의 캐페시턴스 값이 커지게 된다. 한편, 이와 같은 현상은 제 2 내지 제 m 스캔전극에 형성된 화소셀들이 구동될 때에도 동일하게 발생된다.

다시 말하여, 종래의 FED에서는 하나의 스캔전극이 구동될 때 모든 스캔전극에 데이터펄스가 인가되기 때문에 화소셀들의 균일성(Uniformity)이 상이하게 된다. 이와 같이, 화소셀들이 균일하지 못한 상태에서 동작하게 되면 FED의 화질이 저하되게 된다. 또한, 동작하지 않은 화소셀들에 충전된 캐페시턴스 값에 의해 구동속도가 저하됨과 아울러 효율이 저하되게 된다.

한편, 종래의 FED에서는 하나의 리셋펄스가 인가된다. 이와 같이, 하나의 리셋펄스가 인가되면 화소셀들에 충전된 전하들이 모두 제거되지 못한다. 즉, 종래의 FED에서는 하나의 리셋펄스가 인가되기 때문에 셀의 균일성이 저하된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 셀의 균일성을 향상시킬 수 있도록 한 평판 디스플레이 패널 및 그 구동방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 평판 디스플레이 패널의 구동방법은 다수의 스캔전극에 순차적으로 스캔펄스가 공급되는 단계와, 스캔펄스에 동기되어 다수의 데이터전극에 데이터펄스가 공급되는 단계와, 스캔펄스 및 데이터펄스가 공급된 셀에 충전된 전하를 제거하기 위하여 다수의 스캔전극에 다수의 리셋펄스가 공급되는 단계를 포함하며, 다수의 리셋펄스는 다수의 스캔전극 모두에 스캔펄스가 공급된 후 공급된다.

본 발명의 평판 디스플레이 패널은 다수의 스캔전극에 순차적으로 스캔펄스를 공급하기 위한 스캔 구동부와, 다수의 스캔전극들 모두에 다수의 리셋펄스를 공급하기 위한 리셋 구동부를 구비하며, 리셋 구동부는 리셋 데이터 공급부로부터 제 1 리셋 데이터를 공급받는 제 1 리셋 드라이브 접적회로와, 리셋 데이터 공급부로부터 제 2 리셋 데이터를 공급받는 제 2 리셋 드라이브 접적회로와, 제 1 리셋 드라이브 접적회로에 접속되어 제 1 리셋 드라이브 접적회로에 의해 턴-온/오프되면서 정극성의 전압을 스캔전극들로 공급하기 위한 제 1 스위칭소자와, 제 2 리셋 드라이브 접적회로에 접속되어 제 2 리셋 드라이브 접적회로에 의해 턴-온/오프되면서 기저전압을 스캔전극들로 공급하기 위한 제 2 스위칭소자를 구비한다. 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 6 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6은 본 발명의 실시예에 의한 전계 방출 표시장치의 구동방법을 나타내는 파형도이다.

도 6을 참조하면, 본 발명의 실시예에 의한 FED의 스캔전극들(S)에는 부극성의 스캔펄스(SP)가 순차적으로 공급되고, 데이터전극들(D)에는 스캔펄스(SP)에 동기되는 정극성의 데이터펄스(DP)가 공급된다. 데이터전극들(D)에 공급되는 데이터펄스(DP)는 FED에 표시되어질 화상에 의해서 공급 유/무가 결정된다.

데이터전극(D)에 데이터펄스가 공급된 후 모든 스캔전극들(S)에는 리셋펄스(RP)가 공급된다. 이러한 리셋펄스(RP)는 어느 하나의 스캔전극(Si)에 공급되는 스캔펄스(SP) 및 다음 스캔전극(Si+1)에 공급되는 스캔펄스(SP)의 사이에

공급된다. 다시 말하여, 리셋펄스(RP)는 스캔펄스(SP)들 사이의 소정의 시간(블랭킹 기간)에 공급된다. 예를 들어, 제 1 스캔전극(S1)에 -5V의 스캔펄스(SP)가 인가되고, 데이터전극들(D)에 5V의 데이터펄스(DP)가 인가되면 제 1 스캔전극(S1)에 형성되어 있는 제 1 화소셀들에서 10V의 전압차가 발생된다. 따라서, 데이터펄스(DP)가 공급된 제 1 화소셀들에서는 전자가 방출된다.

이때, 데이터펄스(DP)의 폭 및/또는 진폭은 계조에 따라 상이하게 설정된다. 예를 들어, 높은 계조를 표현할 때 데이터펄스(DP)의 폭 및/또는 진폭은 넓거나 높게 설정되고, 낮은 계조를 표현할 때 데이터펄스(DP)의 폭 및/또는 진폭은 좁거나 낮게 설정된다.

이후, 제 1 내지 제 m 스캔전극(S1 내지 Sm)에 공통적으로 리셋펄스(RP)가 인가된다. 이와 같이 제 1 스캔전극(S1)이 구동된 후 모든 스캔전극들(S)에 리셋펄스(RP)가 공급되면, 제 1 스캔전극(S1)이 구동될 때 모든 스캔전극들(S)에 충전된 전하들이 제거된다.

다시 말하여, 하나의 스캔라인(Si)이 구동된 후 모든 화소셀들에 충전된 전하를 제거함으로써 셀의 균일성을 확보할 수 있다. 또한, 모든 화소셀들에 충전된 전하를 제거함으로써 구동속도 및 효율을 향상시킬 수 있다. 도 7은 본 발명의 다른 실시예에 의한 전계 방출 표시장치의 구동방법을 나타내는 과정도이다.

도 7을 참조하면, 본 발명의 다른 실시예에 의한 FED의 스캔전극들(S)에는 부극성의 스캔펄스(SP)가 순차적으로 공급되고, 데이터전극들(D)에는 스캔펄스(SP)에 동기되는 정극성의 데이터펄스(DP)가 공급된다. 모든 스캔전극들(S)에 스캔펄스(SP)가 순차적으로 공급된 후 스캔전극들(S)에는 적어도 2개 이상의 리셋펄스(RP)가 공급된다.

이와 같이 스캔전극들(S)에 적어도 2개 이상의 리셋펄스(RP)가 공급되면 스캔전극들(S)의 구동에 의해서 충전된 전하들이 모두 제거될 수 있어 셀의 균일성을 향상시킬 수 있다.

도 8은 도 6 및 도 7에 도시된 구동파형을 생성하기 위한 구동부들을 나타내는 블록도이다.

도 8을 참조하면, 스캔전극(S)에 리셋펄스(RP)를 공급하기 위한 리셋 구동부(60)와, 스캔전극(S)에 스캔펄스(SP)를 공급하기 위한 스캔 구동부(80)를 구비한다.

스캔 구동부(80)는 스캔펄스(SP)의 공급 타이밍에 따라 스캔데이터를 공급하기 위한 타이밍 제어부(62)와, 스캔데이터를 일시 저장하기 위한 제 1 버퍼(64)와, 제 1 버퍼(64) 및 제 2 버퍼(68)를 전기적으로 절연시키기 위한 포토 커플러(66)와, 포토 커플러(66)로부터 공급된 데이터를 일시 저장하기 위한 제 2 버퍼(68)와, 제 2 버퍼(68)로부터 스캔데이터를 입력 받아 스캔전극들(S)에 순차적으로 스캔펄스(SP)를 공급하기 위한 스캔 드라이브 IC(Integrated Circuit ; 70)를 구비한다.

타이밍 제어부(62), 제 1 버퍼(64) 및 포토 커플러(66)의 제 1 단은 기저전위(GND)와 접속된다. 포토 커플러(66), 제 2 버퍼(68) 및 스캔 드라이브 IC(70)는 고정전압원(VDD)으로부터 부극성의 전압을 공급받는다.

타이밍 제어부(62)는 스캔펄스(SP)가 순차적으로 스캔전극(S)에 공급될 수 있도록 소정간격으로 스캔 데이터를 제 1 버퍼(64)로 공급한다. 제 1 버퍼(64)는 스캔 데이터를 일시저장함과 아울러 저장된 데이터를 포터 커플러(66)로 공급한다. 포터 커플러(66)는 제 1 버퍼(64)로부터 공급된 데이터를 제 2 버퍼(68)로 공급한다.

제 2 버퍼(68)는 포터 커플러(66)로부터 공급된 스캔 데이터를 일시저장함과 아울러 저장된 데이터를 스캔 드라이브 IC(70)로 공급한다. 스캔 드라이브 IC(70)는 다수의 스위칭소자들로 구성되고, 제 2 버퍼(68)로부터 공급되는 스캔 데이터에 의해 어느 하나의 스위칭소자가 턠-온되어 스캔펄스(SP)를 스캔전극(S)에 공급한다. 한편, 제 2 버퍼(68)와 스캔 드라이브 IC(70)의 사이에는 도시되지 않은 시프트 레지스터가 추가로 설치될 수 있다. 시프트 레지스터는 스캔 드라이브 IC(70)에 포함되어 있는 다수의 스위치를 순차적으로 구동시키게 된다.

리셋 구동부(60)는 외부로부터 제 1 리셋 데이터가 입력되는 제 1 리셋 드라이브 IC(72)와, 제 2 리셋 데이터가 입력되는 제 2 리셋 드라이브 IC(74)와, 제 1 리셋 드라이브 IC(72)에 의해 구동되는 제 1 스위칭소자(76)와, 제 2 리셋 드라이브 IC(74)에 의해 구동되는 제 2 스위칭소자(78)를 구비한다.

제 1 리셋 드라이브 IC(72) 및 제 1 스위칭소자(76)는 외부전압원(Vcc)에 접속된다. 제 2 리셋 드라이브 IC(74) 및 제 2 스위칭소자(78)는 기저전압원(GND)에 접속된다.

제 1 리셋 드라이브 IC(72)는 제 1 리셋 데이터가 입력될 때 제 1 스위칭소자(76)에 제어신호를 공급한다. 제 1 스위칭소자(76)는 제 1 리셋 드라이브 IC(72)로부터 공급되는 제어신호에 의해 턠-온되어 외부전압원(Vcc)의 전압을 스캔전극들(S)로 공급한다. 이때, 스캔전극들(S)에는 정극성의 리셋펄스(RP)가 공급된다.

도 6과 같은 구동파형을 생성하기 위하여 제 1 리셋 드라이브 IC(72)는 스캔 구동부(80)로부터 하나의 스캔라인(Si)에 스캔펄스(SP)가 공급된 후 제 1 스위칭소자(76)를 턠-온시킨다. 이를 위하여 제 1 리셋 데이터는 스캔펄스(SP)의 수만큼 제 1 리셋 드라이브 IC(72)에 공급된다.

도 7과 같은 구동파형을 생성하기 위하여 제 1 리셋 드라이브 IC(72)는 스캔 구동부(80)로부터 모든 스캔전극(S)에 스캔펄스(SP)가 공급된 후 적어도 2번 이상 제 2 스위칭소자(76)를 턠-온시킨다. 이를 위하여 제 1 리셋 데이터는 적어도 2개이상 제 1 리셋 드라이브 IC(72)에 공급된다.

제 2 리셋 드라이브 IC(74)는 제 2 리셋 데이터가 입력될 때 제 2 스위칭소자(78)에 제어신호를 공급한다. 제 2 스위칭소자(78)는 제 2 리셋 드라이브 IC(74)로부터 공급되는 제어신호에 의해 턠-온되어 기저전압원(GND)을 스캔전극들(S)에 접속시킨다. 이때, 스캔전극들(S)에는 기저전압이 공급된다.

제 2 리셋 드라이브 IC(72)는 스캔전극들(S)에 스캔펄스(SP) 및 리셋펄스(RP)가 공급되지 않을 때 제 2 스위칭소자(78)를 턠-온시킨다.

한편, 스캔 드라이브 IC(70)에 포함되어 있는 다수의 스위칭소자들은 도 9와 같이 구성된다.

도 9를 참조하면, 스캔 드라이브 IC(70)에 포함되어 있는 스위칭소자들(82,84)의 게이트전극은 제 2 버퍼(68) 또는 도시되지 않은 시프트 레지스터에 접속된다. 스위칭소자들(82,84)의 드레인전극은 리셋 구동부(60)와 접속되며, 소오스전극은 부극성의 고정전압원(-Vdd)과 접속된다. 스위칭소자들(82,84)의 드레인전극과 리셋 구동부(60)의 사이

에는 각각 하나의 저항들(R)이 설치된다.

제 3 스위칭소자(82)의 동작과정을 도 10의 펄스를 참조하여 상세히 설명하기로 한다.

먼저, 제 3 스위칭소자(82)는 스캔 드라이브 IC(70)로부터 스캔 데이터를 공급받는다. 스캔 데이터는 스캔 드라이브 IC(70)에 포함되어 있는 다수의 스위칭소자를 중 하나의 스위칭소자에만 공급된다. 스캔 데이터를 공급받은 제 3 스위칭소자(82)는 턴-온된다. 이때, 리셋 구동부(60)의 제 1 및 제 2 스위칭소자(76, 78)는 턴-오프 상태를 유지한다.

제 3 스위칭소자(82)가 턴-온되면 부극성의 전압(-VDD)이 제 1 스캔전극(S1)으로 공급된다. 즉, t1의 기간동안 제 1 스캔전극(S1)에는 부극성의 스캔펄스(SP)가 공급된다.

t1의 기간동안 제 1 스캔전극(S1)에 부극성의 리셋펄스(RP)가 공급된 후 제 3 스위칭소자(82)는 턴-오프된다. 제 3 스위칭소자(82)가 턴-오프될 때 리셋 구동부(60)의 제 2 스위치(78)가 턴-온된다. 제 2 스위치(78)가 턴-온되면 기저전압이 모든 스캔전극들(S1 내지 Sm)에 공급된다. 즉, 스캔전극들(S1 내지 Sm)은 t2의 기간동안 기저전위를 유지한다. 이후, 리셋 구동부(60)의 제 2 스위치(78)가 턴-오프됨과 아울러 제 1 스위치(76)가 턴-온된다. 제 1 스위치(76)가 턴-온되면 외부 전압원(Vcc)의 전압이 스캔전극들(S1 내지 Sm)에 공급된다. 즉, 모든 스캔전극들(S1 내지 Sm)에 리셋펄스(RP)가 공급된다. 본 발명의 실시예에 의한 구동회로들은 이와 같은 과정을 반복하면서 구동파형을 생성한다. 한편, 이와 같은 본 발명의 실시예들은 전계 방출 표시소자뿐만 아니라 매트릭스 형태로 구동되는 평판 디스플레이 패널등에도 적용될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 평판 디스플레이 패널 및 그 구동방법에 의하면 하나의 스캔전극에 스캔펄스가 공급된 후 모든 스캔전극들에 리셋펄스가 공급되기 때문에 셀의 균일성을 확보할 수 있다. 따라서, 모든 셀들이 균일한 상태에서 구동되기 때문에 전계 방출 표시소자의 화질 및 효율을 향상시킬 수 있다.

아울러, 본 발명에서는 모든 스캔전극들에 스캔펄스가 공급된 후 적어도 2개이상의 리셋펄스가 스캔전극들에 공급되기 때문에 셀에 충전된 전하를 모두 제거할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

다수의 스캔전극에 순차적으로 스캔펄스가 공급되는 단계와,

상기 스캔펄스에 동기되어 다수의 데이터전극에 데이터펄스가 공급되는 단계와,

상기 스캔펄스 및 상기 데이터펄스가 공급된 셀에 충전된 전하를 제거하기 위하여 상기 다수의 스캔전극에 다수의 리셋펄스가 공급되는 단계를 포함하며,

상기 다수의 리셋펄스는 상기 다수의 스캔전극 모두에 스캔펄스가 공급된 후 공급되는 것을 특징으로 하는 평판 디스플레이 패널의 구동방법.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

다수의 스캔전극에 순차적으로 스캔펄스를 공급하기 위한 스캔 구동부와,

상기 다수의 스캔전극들 모두에 다수의 리셋펄스를 공급하기 위한 리셋 구동부를 구비하며,

상기 리셋 구동부는

리셋 데이터 공급부로부터 제 1 리셋 데이터를 공급받는 제 1 리셋 드라이브 접적회로와,

상기 리셋 데이터 공급부로부터 제 2 리셋 데이터를 공급받는 제 2 리셋 드라이브 접적회로와,

상기 제 1 리셋 드라이브 접적회로에 접속되어 상기 제 1 리셋 드라이브 접적회로에 의해 턴-온/오프되면서 정극성의 전압을 상기 스캔전극들로 공급하기 위한 제 1 스위칭소자와,

상기 제 2 리셋 드라이브 접적회로에 접속되어 상기 제 2 리셋 드라이브 접적회로에 의해 턴-온/오프되면서 기저전압을 상기 스캔전극들로 공급하기 위한 제 2 스위칭소자를 구비하는 것을 특징으로 하는 평판 디스플레이 패널.

청구항 6.

삭제

청구항 7.

제 5 항에 있어서,

상기 제 1 리셋 드라이브 접적회로 및 제 1 스위칭소자는 정극성의 전압원에 접속되고,

상기 제 2 리셋 드라이브 접적회로 및 제 2 스위칭소자는 기저전압원에 접속되는 것을 특징으로 하는 평판 디스플레이 패널.

청구항 8.

제 7 항에 있어서,

상기 제 1 스위칭소자는 상기 하나의 스캔전극에 스캔펄스가 공급될 때마다 터-온 되어 상기 정극성의 전압을 상기 모든 스캔전극들에 공급하는 것을 특징으로 하는 평판 디스플레이 패널.

청구항 9.

제 7 항에 있어서,

상기 제 2 스위칭소자는 스캔전극에 스캔펄스 및 리셋펄스가 공급되지 않을 때 터-온되는 것을 특징으로 하는 평판 디스플레이 패널.

청구항 10.

제 7 항에 있어서,

상기 제 1 스위칭소자는 상기 다수의 스캔전극 모두에 스캔펄스가 공급된 후에 적어도 2번 이상 터-온되어 상기 정극성의 전압을 상기 모든 스캔전극들에 공급하는 것을 특징으로 하는 평판 디스플레이 패널.

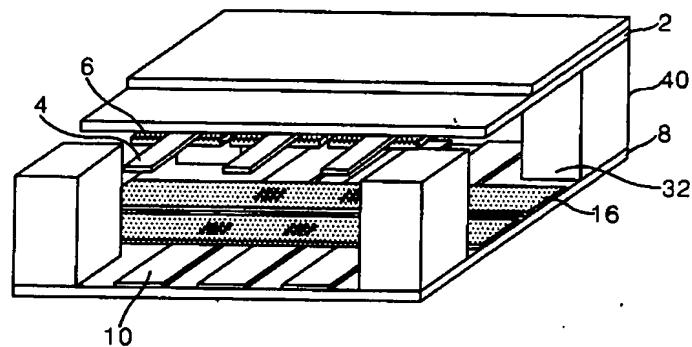
청구항 11.

제 5 항에 있어서,

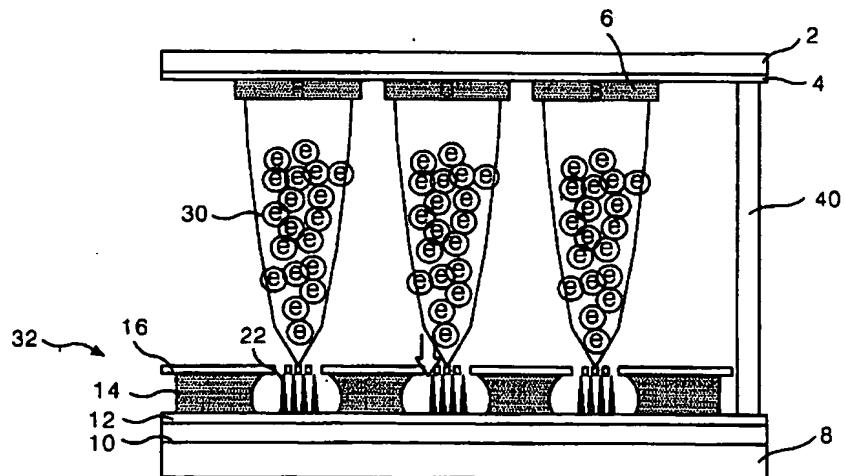
상기 스캔전극 및 상기 리셋 구동부의 사이에는 소정의 저항값을 가지는 저항이 추가로 설치되는 것을 특징으로 하는 평판 디스플레이 패널.

도면

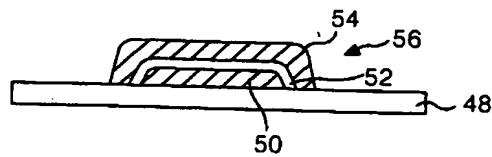
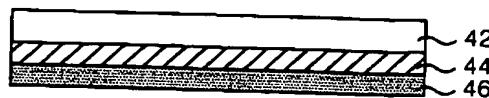
도면1



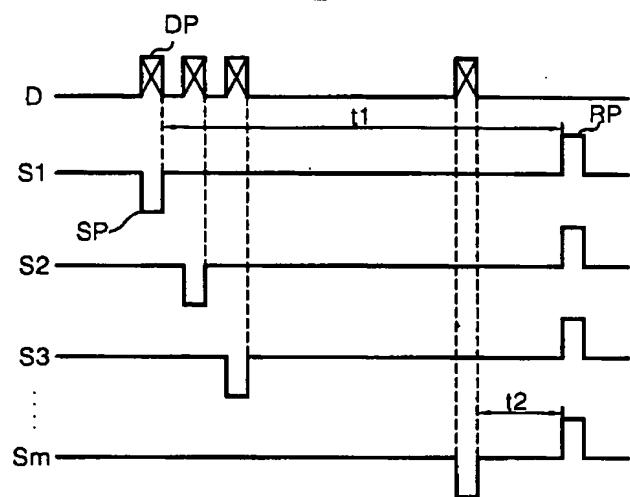
도면2



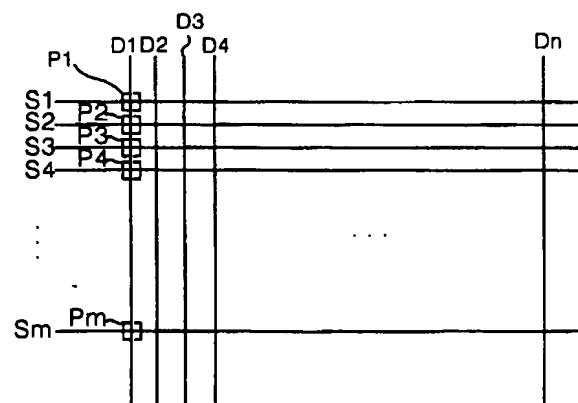
도면3



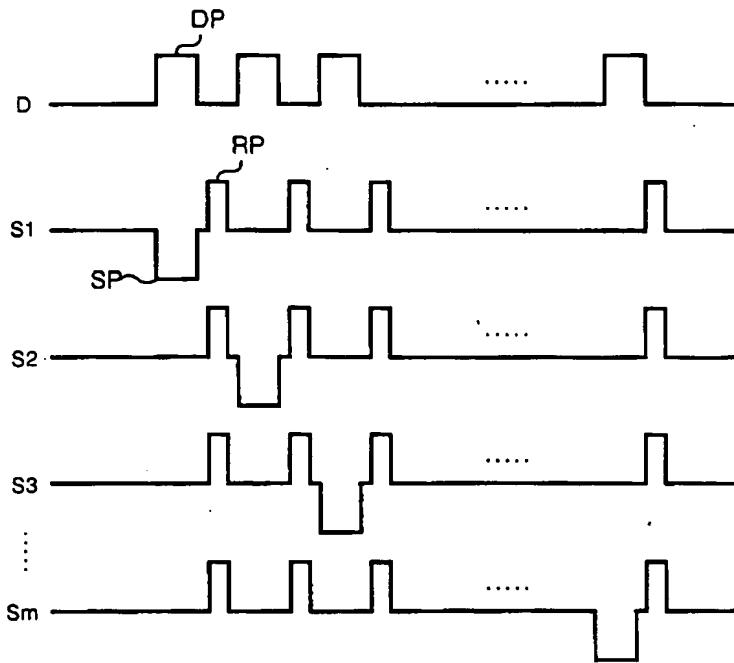
도면4



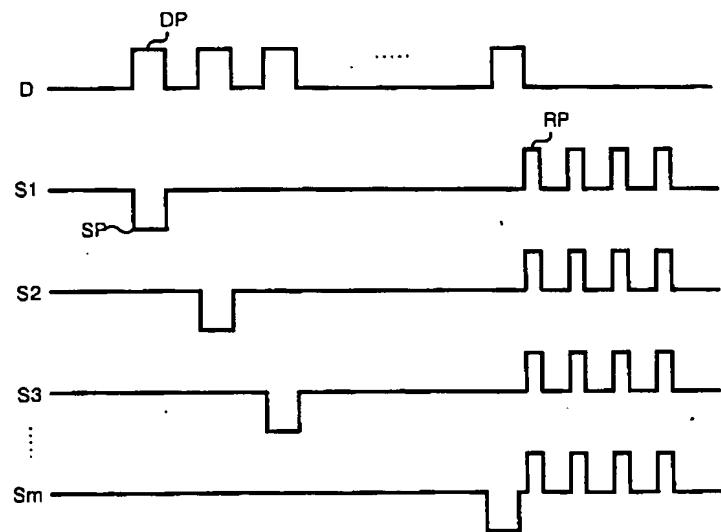
도면5



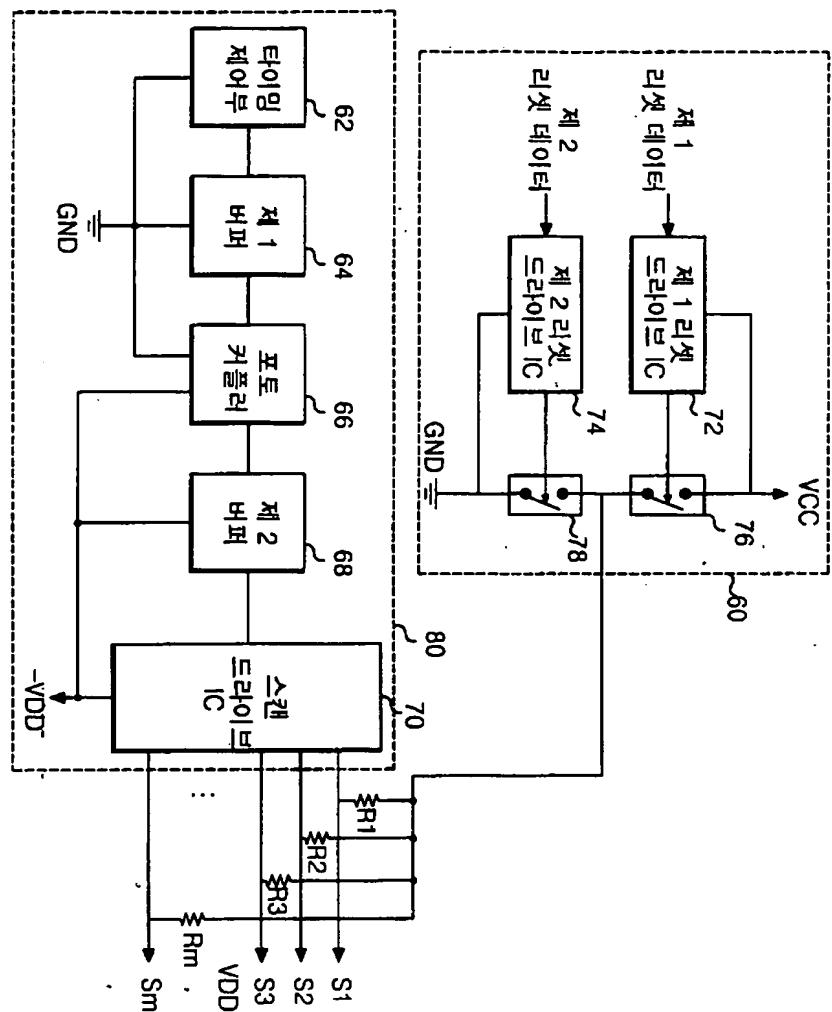
도면6



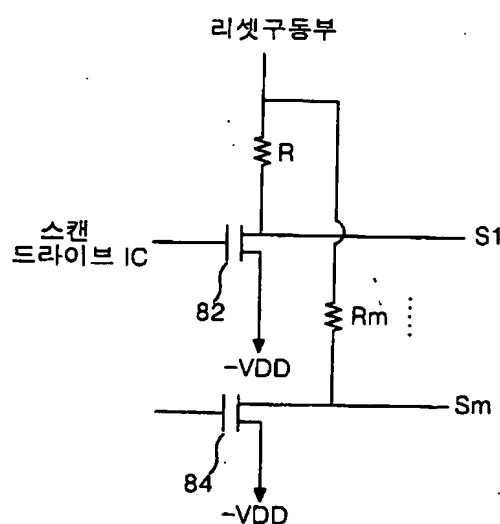
도면7



도면8



도면9



도면10

